

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平3-12960

⑬ Int. Cl.<sup>5</sup>

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)1月21日

H 01 L 27/04

C

9056-5F

27/06

P

9056-5F

8728-5F H 01 L 27/06 1 0 1 D

審査請求 未請求 請求項の数 4 (全10頁)

⑮ 発明の名称 半導体装置及びその製造方法

⑯ 特 願 平1-147538

⑰ 出 願 平1(1989)6月10日

⑱ 発 明 者 飯 田 真 喜 男 愛知県刈谷市昭和町1丁目1番地 日本電装株式会社内

⑲ 出 願 人 日本電装株式会社 愛知県刈谷市昭和町1丁目1番地

⑳ 代 理 人 弁理士 恩 田 博 宣

明 細 書

1. 発明の名称

半導体装置及びその製造方法

2. 特許請求の範囲

1. 能動素子とコンデンサと薄膜抵抗とを集積した半導体装置において、

能動素子を形成した半導体基板上の絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体を配置するとともに、当該半導体基板上のコンデンサ形成領域の誘電体となる酸化膜上に薄膜抵抗体と配線金属とを順に積層したことを特徴とする半導体装置。

2. 能動素子を形成した半導体基板上に形成された絶縁膜のうちコンデンサ形成領域とコンタクトホール形成領域の絶縁膜を除去する第1工程と、

第1工程での絶縁膜除去部分に酸化膜を形成する第2工程と、

第2工程で形成した酸化膜のうちのコンデンサ形成領域の酸化膜上に薄膜抵抗体を配置するとともに、前記絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体を配置する第3工程と、

第3工程で形成したコンデンサ形成領域の薄膜抵抗体をマスクとして第2工程で形成したコンタクトホール形成領域の酸化膜をエッチング除去する第4工程と

からなる半導体装置の製造方法。

3. 薄膜抵抗体と配線金属との間にバリア金属を配置したことを特徴とする請求項1に記載の半導体装置。

4. シート抵抗が高い薄膜抵抗体上にシート抵抗が低い薄膜抵抗体を積層してなる薄膜抵抗体と、この二層構造での配線電極以外のシート抵抗が低い薄膜抵抗体が除去されてなる薄膜高抵抗と、を有する請求項1に記載の半導体装置。

3. 発明の詳細な説明

[産業上の利用分野]

この発明は、能動素子とコンデンサと薄膜抵抗とを集積した半導体装置に関するものである。

[従来技術]

従来、C r S i系薄膜抵抗はシート抵抗が高く、同時に抵抗の温度係数(TCR)が小さいことに

より、ICやLSIに集積化する薄膜抵抗として用いられてきた。

〔発明が解決しようとする課題〕

しかし、精度の高いコンデンサを含んだICでは、薄膜抵抗のエッチング時にコンデンサ部分の誘電体となる酸化シリコン膜もエッチングされ、コンデンサの容量不良や絶縁耐圧不良になる問題があった。

この発明の目的は、容量不良や絶縁耐圧不良を回避して精度の高いコンデンサを有する半導体装置及びその製造方法を提供することにある。

〔課題を解決するための手段〕

第1の発明は、能動素子とコンデンサと薄膜抵抗とを集積した半導体装置において、

能動素子を形成した半導体基板の絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体を配置するとともに、当該半導体基板のコンデンサ形成領域の誘電体となる酸化膜上に薄膜抵抗体と配線金属とを順に積層した半導体装置を要旨とする。

第2の発明は、能動素子を形成した半導体基板

- 3 -

上に形成された絶縁膜のうちコンデンサ形成領域とコンタクトホール形成領域の絶縁膜を除去する第1工程と、第1工程での絶縁膜除去部分に酸化膜を形成する第2工程と、第2工程で形成した酸化膜のうちのコンデンサ形成領域の酸化膜上に薄膜抵抗体を配置するとともに、前記絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体を配置する第3工程と、第3工程で形成したコンデンサ形成領域の薄膜抵抗体をマスクとして第2工程で形成したコンタクトホール形成領域の酸化膜をエッチング除去する第4工程とからなる半導体装置の製造方法を要旨とする。

第3の発明は、第1の発明に加えて、薄膜抵抗体と配線金属との間にバリア金属を配置した半導体装置を要旨とする。

第4の発明は、第1の発明に加えて、シート抵抗が高い薄膜抵抗体上にシート抵抗が低い薄膜抵抗体を積層してなる薄膜抵抗と、この二層構造での配線電極以外のシート抵抗が低い薄膜抵抗体が除去されてなる薄膜高抵抗と、を有する半導体

- 4 -

装置を要旨とするものである。

〔作用〕

第1の発明は、能動素子を形成した半導体基板の絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体を配置されるとともに、当該半導体基板のコンデンサ形成領域の誘電体となる酸化膜上に薄膜抵抗体と配線金属とが順に積層される。その結果、コンデンサの酸化膜が薄膜抵抗体にて覆われ、薄膜抵抗体のエッチング時にコンデンサの酸化膜がエッチングされることにより発生するコンデンサの容量不良や絶縁耐圧不良が回避される。

第2の発明は、第1工程により能動素子を形成した半導体基板上に形成された絶縁膜のうちコンデンサ形成領域とコンタクトホール形成領域の絶縁膜が除去され、第2工程により第1工程での絶縁膜除去部分に酸化膜が形成され、第3工程により第2工程で形成した酸化膜のうちのコンデンサ形成領域の酸化膜上に薄膜抵抗体が配置されるとともに、前記絶縁膜上の薄膜抵抗形成領域に薄膜抵抗体が配置され、第4工程により第3工程で形

- 5 -

成したコンデンサ形成領域の薄膜抵抗体をマスクとして第2工程で形成したコンタクトホール形成領域の酸化膜がエッチング除去される。その結果、マスク枚数を少なくして、第1の発明の半導体装置を製造することができる。

第3の発明は、第1の発明の作用に加え、薄膜抵抗体と配線金属との間にバリア金属が配置される。その結果、このバリア金属により薄膜抵抗体のエッチング時に、コンデンサの酸化膜がエッチングされることにより発生するコンデンサの容量不良や絶縁耐圧不良が回避される。

第4の発明は、第1の発明の作用に加え、薄膜抵抗として、シート抵抗が高い薄膜抵抗体上にシート抵抗が低い薄膜抵抗体を積層してなる薄膜抵抗と、この二層構造での配線電極以外のシート抵抗が低い薄膜抵抗体が除去されてなる薄膜高抵抗と、の2種類の抵抗値を持つものとなる。

〔実施例〕

以下、この発明を具体化した一実施例を図面に従って説明する。

- 6 -

第1図には本実施例の半導体装置を示し、第2～第6図にはその製造工程を示す。第1図に示すように、本実施例の半導体装置は、能動素子としてのバイポーラトランジスタ1とコンデンサ2と高い抵抗値を持つ薄膜高抵抗3と低い抵抗値を持つ薄膜低抵抗4とが集積されている。

第2図に示すように、(111)P型シリコン基板5に、アンチモンを不純物原子に用いN<sup>+</sup>型領域(埋込み層)6を形成する。次に、エピタキシャル法を用いて、2～3Ω・cmのN型領域7を形成する。そして、ボロン及びリンを不純物原子として1150℃で熱処理することによりアイソレーション領域8及びディープN<sup>+</sup>領域9を形成する。引続き、熱処理中に形成される酸化シリコン膜をHF系エッチング液で除去した後、1000℃wet O<sub>2</sub>雰囲気中で6000Åの酸化シリコン膜10を形成する。

次工程を第3図を用いて説明すると、バイポーラトランジスタのベース形成領域11、バイポーラトランジスタのコレクタコンタクト形成領域1

- 7 -

D法を用いて全面にBPSG膜17を7000Å形成した後、950℃で熱処理を行ない段差部の平坦化処理(リフロー)を行なう。さらに、ホトエッチング技術を用いて、酸化シリコン膜14及びBPSG膜17におけるコンタクトホール形成領域18、19、20、21及びコンデンサ形成領域22を除去する。その結果、第4図のようになる。

次工程を第5図を用いて説明すると、wet HCl酸化により薄い酸化シリコン膜23を1000Å形成する。その後、スパッタ法を用いて全面にCrSi薄膜抵抗体24を200Åの厚さで形成し、さらに、その上にバリア金属としてのTiW膜25を1800Å形成する。そして、ホトエッチング技術を用いて、レジスト26をマスクにして薄い酸化シリコン膜23をストッパーとして薄膜抵抗形成領域及びコンデンサ形成領域以外の前記CrSi薄膜抵抗体24及びTiW膜25を除去する。その結果、第5図のようになる。

次工程を第6図を用いて説明すると、レジスト

- 9 -

2、コンデンサ形成部分13の酸化シリコン膜10を通常のホトエッチング技術を用いて除去する。次に、860℃wet HCl酸化を用いて、そのエッチング部分に薄い酸化シリコン膜14を形成する。

そして、ボロンイオン注入を全面的に行うことにより、酸化シリコン膜10をイオン注入のストッパーに用いホト工程なしでバイポーラトランジスタのベース領域にボロン原子を注入する。引続き、1100℃で熱処理することによりバイポーラトランジスタのベース領域15が形成される。このとき、コレクタコンタクト領域12及びコンデンサ形成領域13にもボロンが注入されるが、ディープN<sup>+</sup>領域9がベース不純物濃度より濃いためこの領域がP型に反転することはない。

さらに、レジストをマスクにしてリンをイオン注入し、1050℃で熱処理することによりバイポーラトランジスタのエミッタ領域16が形成される。その結果、第3図のようになる。

次工程を第4図を用いて説明すると、常圧CV

- 8 -

26を残したまま、HF系エッチング液でコンタクトホール形成領域18、19、20、21における薄い酸化シリコン膜23を除去すると、コンタクトホールが第6図のように形成される。このとき、BPSG膜17と薄い酸化シリコン膜23のエッチング速度はほとんど同じのため、PSG膜を使用した場合に比べBPSG膜17の膜厚減少はほとんどない。

次工程を第1図を用いて説明すると、スパッタ法を用いアルミ配線層27を形成した後、ホトエッチング技術を用いて薄膜高抵抗3のTiW膜25を除去した後、450℃、H<sub>2</sub>-N<sub>2</sub>ガス中でアルミシタする。その結果、高い抵抗値を持つ薄膜高抵抗3と低い抵抗値を持つ薄膜低抵抗4が形成される。即ち、CrSiのシート抵抗500Ω/□とCrSi+TiW積層構造のシート抵抗10Ω/□の2種類の薄膜抵抗3、4が形成される。このようにして、2つの薄膜抵抗3、4とコンデンサ2とバイポーラトランジスタ1とを集積した半導体装置が形成される。このとき、アルミ

- 10 -

シンタの際の熱処理時に、TiW膜25はCrSi薄膜抵抗体24とアルミ配線の相互拡散による抵抗値変化及びTCR（抵抗温度係数）変化防止の働きをする。

このように本実施例においては、バイポーラトランジスタ1（能動素子）を形成したシリコン基板（ディープN<sup>+</sup>領域9）上の酸化シリコン膜10（絶縁膜）上の薄膜抵抗形成領域にCrSi薄膜抵抗体24を配置するとともに、シリコン基板上のコンデンサ形成領域の誘電体となる酸化シリコン膜23上にCrSi薄膜抵抗体24とTiW膜25（バリア金属）とアルミ配線層27（配線金属）とを順に積層し、コンデンサ部分をAl/TiW/CrSi/SiO<sub>2</sub>構造とした。その結果、通常のコンデンサ構造であるシリコン基板（ディープN<sup>+</sup>領域）の上に酸化シリコン膜と配線金属とを順に積層したAl/SiO<sub>2</sub>構造に比べ、コンデンサの酸化シリコン膜23がCrSi薄膜抵抗体24とTiW膜25にて覆われ、酸化シリコン膜23は熱酸化により形成された後、エ

- 11 -

4と、この二層構造での配線電極以外のシート抵抗が低いTiW膜25（薄膜抵抗体）が除去されてなる薄膜高抵抗3とを配置した。即ち、薄膜抵抗3、4はシート抵抗500Ω/□（CrSi）とシート抵抗10Ω/□の（CrSi+TiW積層構造）の2種類を形成できる。従来では複数の抵抗値をもつ複数の抵抗素子を集積化するときには基板全面にCrSi等を蒸着等で形成した後に所望の抵抗値となるように種々の長さ及び幅のパターンになるようにエッチングしていたが、この従来方法では薄膜抵抗体のシート抵抗が一種類のため必要とする抵抗体の抵抗値によっては抵抗体のパターン面積が広くなりチップ面積が拡大して歩留りの低下やコストアップを招くという問題があった。しかしながら、本実施例ではそのようなことがなく、抵抗体パターン面積を小さくできチップ面積が小さくでき、さらに、薄膜抵抗形成工程が簡単なので半導体装置の小形化とコストダウンを図ることができる。

さらに、CrSi+TiW積層構造抵抗（薄膜

- 13 -

エッチング雰囲気中にさらされることが全くないので、膜厚減少やピンホールの発生がなく、コンデンサの容量不良や絶縁耐圧不良の発生がない。又、アルミシンタ時及びIC製造後のIC使用時の高温雰囲気下においてTiWやCrSiがバリア層の役目を果し、 $4Al + 3SiO_2 \rightarrow 2Al_2O_3 + 3Si$ 反応が防止され、酸化シリコン膜23の食われがない。これは、TiWが高密度でありAlが拡散しないこと、及び、Cr、W、Tiの酸化物の生成自由エネルギーの絶対値がアルミ酸化物に比べ小さくSiO<sub>2</sub>と反応しにくいためである。

又、第7図に示すように、上述したTiW膜25を用いずに、シリコン基板（ディープN<sup>+</sup>領域9）の上に誘電体となる酸化シリコン膜23とCrSi薄膜抵抗体24と配線金属（アルミ配線層27）とを順に積層し、Al/CrSi/SiO<sub>2</sub>構造としてもよい。

さらに、本実施例では、シート抵抗が高いCrSi薄膜抵抗体24上にシート抵抗が低いTiW膜25（薄膜抵抗体）を積層してなる薄膜抵抗

- 12 -

体抵抗4は膜厚が2000Åであり、CrSi薄膜抵抗（薄膜高抵抗3）の膜厚の200Åに比べ10倍厚く、断面積容電率値を大きくできる。従って、サージやノイズに強く、モノリシックICの入力保護抵抗に用いることができる。

さらには、薄膜抵抗3、4とコンデンサ2とバイポーラトランジスタ1とを集積化するときの製造工程として、バイポーラトランジスタ1（能動素子）を形成したシリコン基板上に形成された酸化シリコン膜10、14（絶縁膜）のうちコンデンサ形成領域22とコンタクトホール形成領域18、19、20、21の酸化シリコン膜14（絶縁膜）を除去する第1工程と、第1工程での酸化シリコン膜14（絶縁膜）除去部分に酸化シリコン膜23を形成する第2工程と、第2工程で形成した酸化シリコン膜23のうちのコンデンサ形成領域22の酸化シリコン膜23上にCrSi薄膜抵抗体24を配置するとともに、酸化シリコン膜10（絶縁膜）上の薄膜抵抗形成領域にCrSi薄膜抵抗体24を配置する第3工程と、第3工程

- 14 -

で形成したコンデンサ形成領域 22 の Cr Si 薄膜抵抗体 24 をマスクとして第 2 工程で形成したコンタクトホール形成領域 18, 19, 20, 21 の酸化シリコン膜 23 をエッチング除去する第 4 工程とを設けた。よって、従来ではバイポーラトランジスタ 1 に対し薄膜抵抗 3, 4 とコンデンサ 2 とを集積化するときにはマスク枚数の増加や工程数が増加してコストアップとなっていたが、本実施例ではそのようなことがなく、バイポーラトランジスタ 1 の製造工程に対しマスクを一枚追加するだけでコンデンサ 2 と薄膜抵抗 4 を形成することができる。さらに、マスクをもう一枚追加するだけで薄膜抵抗 3 を形成することができることとなる。

又、コンタクトホールは、コンデンサ部分の薄い酸化シリコン膜 23 が Cr Si 薄膜抵抗体 24、Ti W 膜 25 及びレジスト 26 にて覆われているので、ホト工程なしのウォッシュアウト法を用いて形成できる。

従来、Cr Si 系薄膜の下地には PSG 膜が用

- 15 -

ガスによるエッチング時のリン量の減少が少ない。又、バイポーラトランジスタのエミッタ領域 16 をイオン注入により形成したので、ガス拡散にて形成する場合に比べてバラツキが少なく高い安定した素子特性が得られる。

尚、この発明は上記実施例に限定されるものではなく、例えば、能動素子はバイポーラトランジスタの他にも MOS トランジスタであってもよく、CMOS IC、Bi-MOS IC、Bi-CMOS IC に適用しても良い。又、 $I^2L$  など他の能動素子や受動素子を含んだバイポーラ IC に適用しても良い。さらに、絶縁膜は LOCOS 酸化膜等でもよい。

#### 〔発明の効果〕

以上詳述したようにこの発明によれば、容量不良や絶縁耐圧不良を回避して精度の高いコンデンサを有する半導体装置を提供することができる優れた効果を発揮する。

#### 4. 図面の簡単な説明

第 1 図は実施例の半導体装置を示す断面図、第

- 17 -

いられ Cr Si 系薄膜のエッチングの際に PSG 膜がエッチングされるという問題があったが、本実施例のように、BPSG 膜 17 を用いるとエッチング速度が酸化シリコン膜 23 とほぼ同じであり、PSG 膜では酸化シリコン膜 23 よりエッチング速度が 2~3 倍速いという欠点が回避される。これにより、コンタクトウォッシュアウト時や Cr Si 薄膜抵抗体 24 のエッチング時のフィールド膜（酸化シリコン膜 10）の膜厚の減少やリン量の減少が防止される。

さらに、バイポーラトランジスタのエミッタ拡散時に PSG 膜が形成され、素子部の PSG 膜が除去されると Na 等の可動イオンのゲッタリング効果がなくなり高温特性不良や信頼性不良となる欠点があったが、本実施例では BPSG 膜 17 を使用しており、Na などの可動イオン汚染のゲッタリングとして重要なリンは、BPSG 膜 17 中に深さ方向に広い範囲で存在している。このため、Cr Si 薄膜抵抗体 24 のエッチングに用いる HF 系エッチング液、あるいは CF<sub>4</sub> 系エッチング

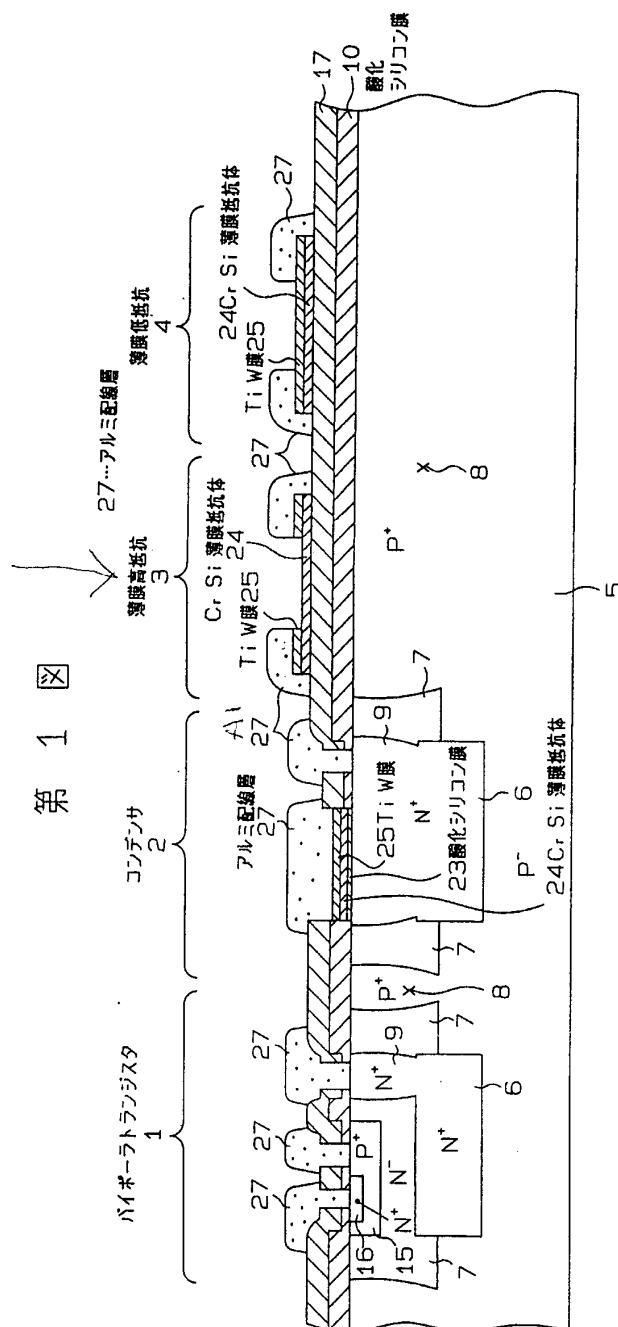
- 16 -

2 図は半導体装置の製造工程を説明するための断面図、第 3 図は半導体装置の製造工程を説明するための断面図、第 4 図は半導体装置の製造工程を説明するための断面図、第 5 図は半導体装置の製造工程を説明するための断面図、第 6 図は半導体装置の製造工程を説明するための断面図、第 7 図は別例の半導体装置を示す断面図である。

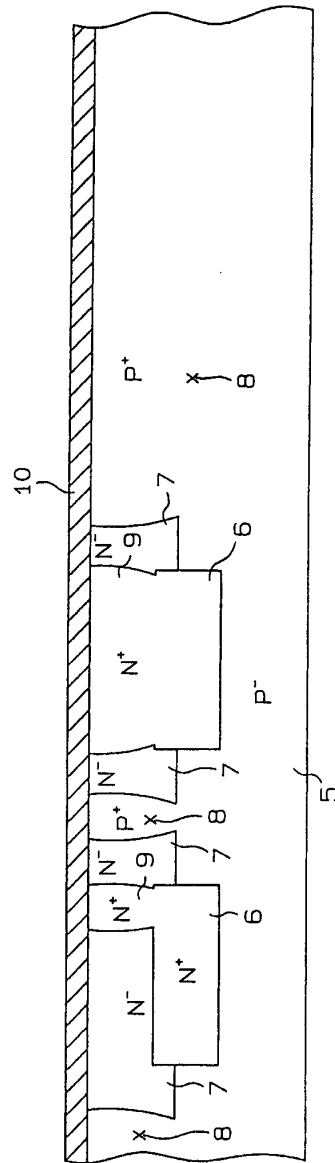
1 はバイポーラトランジスタ、2 はコンデンサ、3 は薄膜高抵抗、4 は薄膜低抵抗、10 は絶縁膜としての酸化シリコン膜、14 は絶縁膜としての酸化シリコン膜、18 はコンタクトホール形成領域、19 はコンタクトホール形成領域、20 はコンタクトホール形成領域、21 はコンタクトホール形成領域、22 はコンデンサ形成領域、23 は酸化シリコン膜、24 は Cr Si 薄膜抵抗体、25 はバリア金属としての Ti W 膜、27 は配線金属としてのアルミ配線層。

特許出願人 日本電装 株式会社  
代理人 弁理士 恩田 博宣

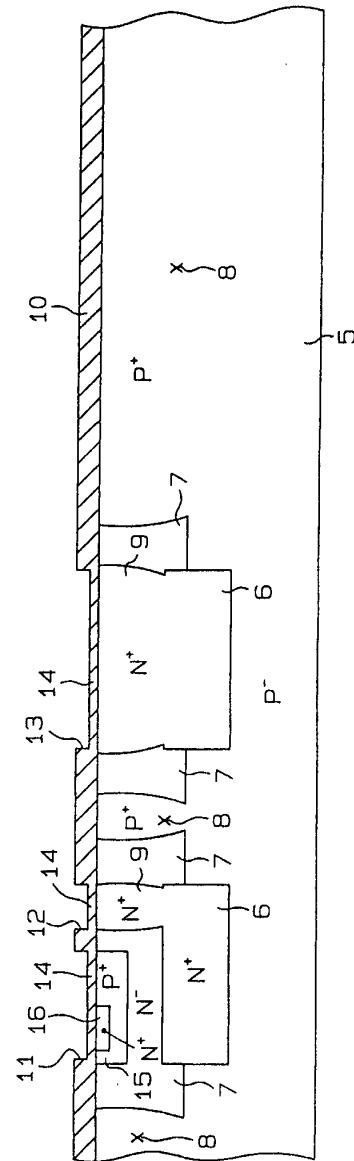
- 18 -



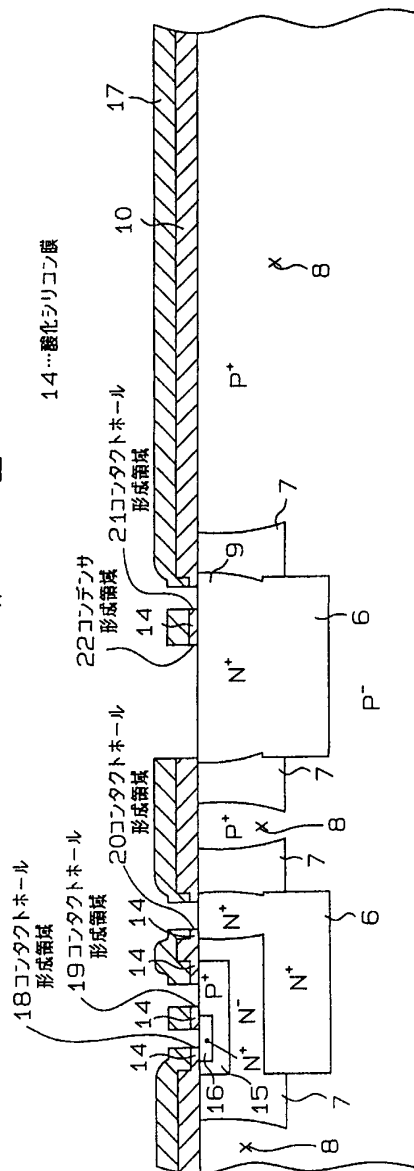
船



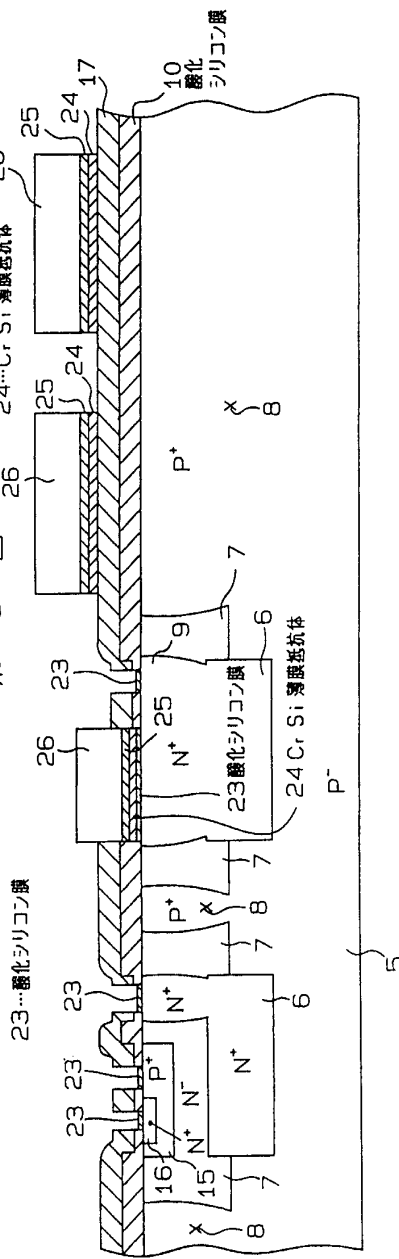
第 3 卷



第 4 図

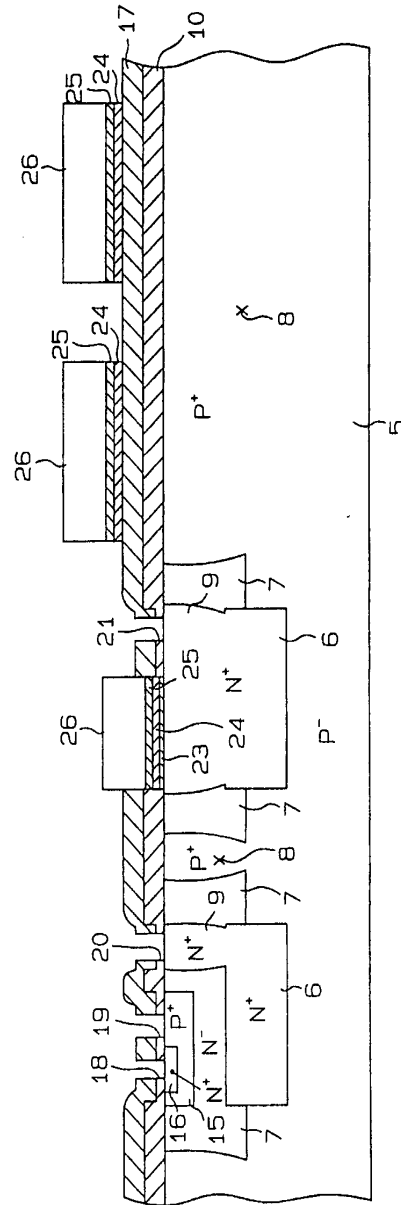


第 5 図

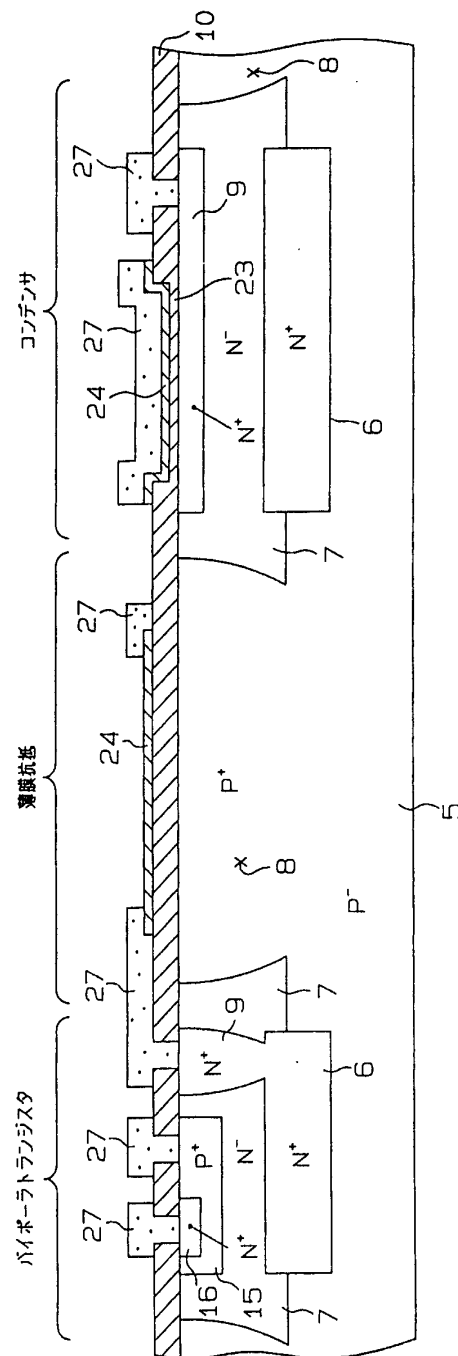




第 6 図



第 7 図



PTO 2002-3844

Japan, Kokai  
3-12960

SEMICONDUCTOR AND ITS MANUFACTURING DEVICE  
[Handotai Sochi Oyobi Sono Seizo Hoho]

Makio Iida

UNITED STATES PATENT AND TRADEMARK OFFICE  
Washington, D.C. August, 2002

Translated by: Schreiber Translations, Inc.

Country : Japan  
Document No. : 3-12960  
Document type : Kokai  
Language : Japanese  
Inventor : Makio Iida  
Applicant : Nippondenso Co., Ltd.  
IPC : H 04 L 27/04  
27/06  
Application date : June 10, 1989  
Publication date : January 21, 1991  
Foreign Language Title : Handotai Sochi Oyobi Sono Seizo  
Hoho  
English Title : SEMICONDUCTOR AND ITS MANUFACTURING  
DEVICE

1. Title of the Invention: SEMICONDUCTOR AND ITS MANUFACTURING  
DEVICE

2. Claims

1. A semiconductor device, characterized by the fact that in a semiconductor device in which an active element, a capacitor, and a thin-film resistor are integrated, the thin-film resistor is disposed on a thin-film resistor formation region on an insulating film on a semiconductor substrate on which the active element is formed; the thin-film resistor and a wiring metal are laminated on an oxide film being a dielectric of an oxide film being a dielectric of the capacitor formation region on said semiconductor substrate.

2. A method for manufacturing a semiconductor device, characterized by consisting of a first process that removes an insulating film of a capacitor formation region and a contact hole formation region of an insulating film formed on a semiconductor substrate on which an active element is formed, a second process that forms an oxide film in the part from which the insulating film is removed by the first process, a third

---

\*Numbers in the margin indicate pagination in the foreign text.

process that disposes a thin-film resistor on the oxide film of the capacitor formation region of the oxide film formed by the second process, and a fourth process that removes the oxide film of the contact hole formation region formed by the second process using the thin-film resistor of the capacitor formation region formed by the third process using a mask by etching.

3. The semiconductor device of Claim 1, characterized by the fact that a barrier metal is disposed between the thin-film resistor and the wiring metal.

4. The semiconductor device of Claim 1, characterized by having a thin-film resistor being constituted by laminating a thin-film resistor with a low sheet resistance on a thin-film resistor having a high sheet resistance and a thin-film high resistor being constituted by removing the thin-film resistor with a low sheet resistance other than the wiring electrode in this two-layer structure.

### 3. Detailed explanation of the invention

(Industrial application field)

The present invention pertains to a semiconductor device in which an active element, a capacitor, and a thin-film resistor are integrated.

(Prior art)

Since the CrSi system thin-film resistor has a high sheet resistance and a small temperature coefficient of resistance (TCR), it has been used as a thin-film resistor being integrated /2

in an IC or LSI.

(Problems to be solved by the invention)

However, in the IC including a high-precision capacitor, a silicon oxide film being a dielectric of a capacitor part is etched during etching of the thin-film resistor, and a capacity inferiority of the capacitor and a dielectric withstand voltage inferiority are caused.

The purpose of the present invention is to provide a semiconductor device having a capacitor with high precision while avoiding a capacity inferiority and a dielectric withstand voltage inferiority.

(Means to solve the problems)

The essence of a first invention is a semiconductor device characterized by the fact that in a semiconductor device in which an active element, a capacitor, and a thin-film resistor are integrated, the thin-film resistor is disposed on a thin-film resistor formation region on an insulating film on a semiconductor substrate on which the active element is formed; the thin-film resistor and a wiring metal are laminated on an oxide film being a dielectric of an oxide film being a dielectric of the capacitor formation region on said semiconductor substrate.

The essence of a second invention is a method for manufacturing a semiconductor device characterized by consisting of a first process that removes an insulating film of a capacitor formation region and a contact hole formation region of an

insulating film formed on a semiconductor substrate on which an active element is formed, a second process that forms an oxide film in the part from which the insulating film is removed by the first process, a third process that disposes a thin-film resistor on the oxide film of the capacitor formation region of the oxide film formed by the second process and disposes the thin-film resistor in the thin-film resistor formation region on the above-mentioned insulating film, and a fourth process that removes the oxide film of the contact hole formation region formed by the second process using the thin-film resistor of the capacitor formation region formed by the third process using a mask by etching.

The essence of a third invention is a semiconductor device characterized by the fact that a barrier metal is disposed between the thin-film resistor and the wiring metal in addition to the first invention.

The essence of a fourth invention is a semiconductor device characterized by having a thin-film resistor being constituted by laminating a thin-film resistor with a low sheet resistance on a thin-film resistor having a high sheet resistance and a thin-film high resistor being constituted by removing the thin-film resistor with a low sheet resistance other than the wiring electrode in this two-layer structure in addition to the first invention.

(Operation)

In the first invention, the thin-film resistor is disposed



on the thin-film resistor formation region on the insulating film on the semiconductor substrate on which the active element is formed, and the thin-film resistor and the wiring metal are sequentially laminated on the oxide film being a dielectric of the capacitor formation region on said semiconductor substrate. As a result, the oxide film of the capacitor is covered with the thin-film resistor, and when the thin-film resistor is etched, the capacity inferiority of the capacitor and the dielectric withstand voltage inferiority being generated due to etching of the oxide film of the capacitor are avoided.

In the second invention, an insulating film of a capacitor formation region and a contact hole formation region of an insulating film formed on a semiconductor substrate on which an active element is formed are removed by the first process. An oxide film in the part from which the insulating film is removed by the first process is formed by the second process. A thin-film resistor on the oxide film of the capacitor formation region of the oxide film formed by the second process is disposed by the third process, and the thin-film resistor is disposed in the thin-film resistor formation region on the above-mentioned insulating film. The oxide film of the contact hole formation region formed by the second process using the thin-film resistor of the capacitor formation region formed by the third process using a mask is removed by the fourth process.

#### Application example

Next, an application example of the present invention is

explained according to the figures.

Figure 1 shows the semiconductor device of this application /3 example, and Figures 2-6 show its manufacturing processes. As shown in Figure 1, a bipolar transistor 1 as an active element, a capacitor 2, and a thin-film high resistor 3 with a high resistance value and a thin-film low resistor 4 with a low resistance value are integrated.

As shown in Figure 2, a  $N^+$  type region (embedding layer) 6 is formed on a (111)  $P^-$  type silicon substrate 5 using antimony as an impurity atom. Next, a  $N$  type region 7 of  $2-3 \Omega\cdot\text{cm}$  is formed by an epitaxial method. Then, with a heat treatment at  $1,150^\circ\text{C}$  using boron and phosphorus as impurity atoms, an isolation region 8 and a deep  $N^+$  region 9 are formed. Then, after removing the silicon oxide film being formed during the heat treatment is removed with a HF system etching solution, and a silicon oxide film 10 of  $6,000 \text{ \AA}$  is formed in a wet  $\text{O}_2$  atmosphere at  $1,000^\circ\text{C}$ .

The next process is explained using Figure 3. A base formation region 11 of the bipolar transistor, a collector contact formation region 12 of the bipolar transistor, and a silicon oxide film 10 of the capacitor formation part 13 are removed by an ordinary photoetching technique. Next, using a wet HCl oxidation at  $860^\circ\text{C}$ , a thin silicon oxide film 14 is formed in the etching part.

Next, with a boron ion injection being applied to the entire surface, using the silicon oxide film 10 as a stopper of the ion

injection, boron atoms are injected into the base region of the bipolar transistor without a photoprocess. Then, with a heat treatment at  $1,100^{\circ}\text{C}$ , a base region 15 of the bipolar transistor is formed. At that time, boron is also injected into the collector contact region 12 and the capacitor formation region 13, however the deep  $\text{N}^+$  region 9 is richer than the base impurity concentration, this region is not inverted to a P type.

Furthermore, phosphorus is ion-injected using a resist as a mask and heat-treated at  $1,050^{\circ}\text{C}$ , so that an emitter region 16 of the bipolar transistor is formed. The result is shown in Figure 3.

The next process is explain using Figure 4. A BPSG film 17 is formed at  $7,000 \text{ \AA}$  on the entire surface by a normal-pressure CVD method, and the step part is planarized (reflow) by heat-treating at  $950^{\circ}\text{C}$ . Furthermore, using a photoetching technique, contact hole formation regions 18, 19, 20, and 21 and a capacitor formation region 22 in the silicon oxide film 14 and the BPSG film 17 are removed. The result is shown in Figure 4.

The next process is explained using Figure 5. A thin silicon oxide film 23 is formed at  $1,000 \text{ \AA}$  by a wet HCl oxidation. Then, using a sputtering method, a CrSi thin-film resistor 24 is formed at a thickness of  $200 \text{ \AA}$  on the entire surface. Furthermore, a TiW film 25 as a barrier metal is formed at  $1,800 \text{ \AA}$ . Then, using a resist 26 as a mask and the silicon oxide film 23 as a stopper, the above-mentioned CrSi thin-film resistor 24 and TiW film 25 except for the thin-film resistor

formation region and the capacitor formation region are removed by the photoetching technique. The result is shown in Figure 5.

The next process is explained using Figure 6. While leaving the resist 26, if the thin silicon oxide film 23 in the contact hole formation regions 18, 19, 20, and 21 is removed with a HF system etching solution, the contact hole is formed as shown in Figure 6. At that time, since the etching rate of the BPSG film 17 and the thin silicon oxide film 23 is almost the same, the film thickness of the BPSG film 17 is seldom reduced, compared with the case where the PSG film is used.

The next process is explained using Figure 1. After forming an aluminum wiring layer 27 by the sputtering method, the TiW film 25 of the thin-film high resistor 3 is removed by the photoetching technique and aluminum-sintered in a  $H_2-N_2$  gas. As a result, the thin-film high resistor 3 with a high resistance value and the thin-film low resistor 4 with a low resistance value are formed. In other words, two kinds of thin-film resistors 3 and 4 with a sheet resistance of  $500 \Omega/\square$  of CrSi and a sheet resistance of  $10 \Omega/\square$  having a CrSi+TiW laminated structure. In this manner, a semiconductor device in which two thin-film resistors 3 and 4, capacitor 2, and bipolar transistor 1 are integrated is formed. At that time, during the heat treatment in the aluminum sintering, the TiW film 25 prevents the /4 resistance value change and the TCR (resistance temperature coefficient) change due to the interdiffusion of the CrSi thin-film resistor 24 and the aluminum wiring.

In this application example, the CrSi thin-film resistor 24 is disposed in the thin-film resistor formation region on the silicon oxide film 10 (insulating film) on the silicon substrate (deep N<sup>+</sup> region 9) on which the bipolar transistor 1 (active element) is formed, and the CrSi thin-film resistor 24, TiW film 25 (barrier metal), and aluminum wiring layer (wiring metal) are sequentially laminated on the silicon oxide film 23 being a dielectric of the capacitor formation region on the silicon substrate, so that the capacitor part has an Al/TiW/CrSi/SiO<sub>2</sub> structure. As a result, compared with the Al/SiO<sub>2</sub> structure in which the silicon oxide film and the wiring metal are sequentially laminated on the silicon substrate (deep N<sup>+</sup> region) which is an ordinary capacitor structure, the silicon oxide film 23 of the capacitor is covered with the CrSi thin-film resistor 24 and the TiW film 25, and the silicon oxide film 23 is formed by a thermal oxidation and is not exposed to an etching atmosphere, so that a capacity inferiority and a dielectric withstand voltage inferiority of the capacitor are not caused. Also, during the aluminum sintering and after the IC manufacture, TiW and CrSi act as carrier layers under a high-temperature atmosphere, and the reaction of  $4\text{Al} + 3\text{SiO}_2 \rightarrow 2\text{Al}_2\text{O}_3 + 3\text{Si}$  reaction is prevented, so that the silicon oxide film 23 is not invaded. The reason for this is that TiW is dense, Al is not diffused, and the absolute value of the generation free energy of Cr, W, and Ti oxide is smaller than that of an aluminum oxide and is difficult to be reacted.

Also, as shown in Figure 7, without using the above-mentioned TiW film 25, the silicon oxide film 23 being a dielectric, CrSi thin-film resistor 24, and wiring metal (aluminum wiring layer 27) are sequentially laminated on the silicon substrate (deep N<sup>+</sup> region 9), so that an Al/CrSi/SiO<sub>2</sub> structure may also be formed.

Furthermore, in this application example, a thin-film low resistor 4 being constituted by laminating the TiW film 25 (thin-film resistor) with a low sheet resistance on the CrSi thin-film resistor 24 with a high sheet resistance and the TiW film 25 (thin-film resistor) with a low sheet resistance and the thin-film high resistor 3 being constituted by removing the TiW film 25 (thin-film resistor) with a low sheet resistance except for the wiring electrode in this two-layer structure were arranged. In other words, two kinds of (CrSi) with a sheet resistance of 500  $\Omega/\square$  and (CrSi+TiW laminated structure) with a sheet resistance of 10  $\Omega/\square$  can be formed. In the prior art, when several resistance elements with several resistance values are integrated, CrSi, etc., are formed on the entire surface of the substrate by vapor deposition, etc., and etched to obtain patterns with various lengths and widths having desired resistance values, however in the conventional method, since the sheet resistance of the thin-film resistor is one kind, the pattern area of the resistor is broadened by the resistance value of the resistor required, so that the chip area is enlarged. As a result, the yield was lowered, and the cost was raised.

However, in this application example, unlike the prior art, the resistance pattern area can be reduced, and the chip area can be reduced. Furthermore, since the thin-film resistance formation process is simple, the semiconductor device is miniaturized, and the cost can be lowered.

Furthermore, the CrSi + TiW laminated structure resistor (thin-film low resistor 4) has a film thickness of 2,000 Å and is 10 times thicker than 200 Å of the film thickness of the CrSi thin-film resistor (thin-film high resistor 3), and an allowable fusing current value can be increased. Therefore, this structure is strong against surge and noise and can be used in the input protection resistance of a monolithic IC.

Furthermore, when the thin-film resistors 3 and 4, capacitor 2, and bipolar transistor 1 are integrated, the manufacturing processes include a first process that removes the silicon oxide film (insulating film) of the capacitor formation region 22 and the contact hole formation regions 18, 19, 20, and 21 of the silicon oxide films 10 and 14 (insulating films) formed on the silicon substrate on which the bipolar transistor 1 (active element) is formed, a second process that forms the silicon oxide film 23 in the part from which the silicon oxide film 14 (insulating film) is removed by the first process, a third process that disposes the CrSi thin-film resistor 24 on the silicon oxide film 23 of the capacitor formation region 22 of the silicon oxide film 23 formed by the second process, and a fourth process that removes the silicon oxide film 23 of the contact /5

hole formation regions 18, 19, 20, and 21 formed by the second process using the CrSi thin-film resistor 24 of the capacitor formation region 22 formed by the third process as a mask by etching. Therefore, in the prior art, when the thin-film resistors 3 and 4 and the capacitor 2 were integrated on the bipolar transistor 1, the number of mask was increased, and the number process was increased, so that the cost was raised. However, in this application example, unlike the prior art, the capacitor 2 and the thin-film resistor 4 can be formed simply by adding one sheet of mask to the manufacturing processes of the bipolar transistor 1. Furthermore, the thin-film resistor 3 can be formed simply by adding another sheet of mask.

Also, in the contact hole, since the thin silicon oxide film 23 of the capacitor part is covered with the CrSi thin-film resistor 24, TiW film 25, and resistor 26, it can be formed by a washout method without a photoprocess.

As an undercoat of the CrSi system thin film, a PSG film has been used, and when the CrSi system thin film is etched, the PSG film is etched. However, in this application example, if the BPSG film 17 is used, the etching rate is almost the same as that of the silicon oxide film 23, whereas in the PSG film, the etching rate is 2-3 times faster than that of the silicon oxide film 23. Thus, during the washout of the contact and during etching of the CrSi thin-film resistor 24, the reduction of the film thickness of the field film (silicon oxide film 10) and the reduction of the amount of phosphorus are prevented.



Furthermore, during the emitter diffusion of the bipolar transistor, the PSG film is formed, and if the PSG film of the element part is removed, the gettering effect of movable ions such as Na disappears, so that a high-temperature characteristic inferiority and a reliability inferiority are caused. However, in this application example, the BPSG film 17 is used, and the phosphorus, which is important as the gettering of contamination of movable ions such as Na, exists in a wide range in the depth direction in the BPSG film 17. For this reason, the reduction of the amount of phosphorus during etching with a HF system etching solution being used in etching of the CrSi thin-film resistor 24 or a  $CF_4$  system etching gas is little. Also, the emitter region 16 of the bipolar transistor is formed by the ion injection, scattering is little, compared with the formation by the gas diffusion, so that highly stable element characteristics can be obtained.

Also, the present invention is not limited to the above-mentioned application example, and for example, the active element may also be a MOS transistor in addition to the bipolar transistor, and it may also be applied to CMOSIC, Bi-MOSIC, and Bi-CMOSIC. Also, the present invention may be applied to a bipolar IC including other active elements and passive elements. Furthermore, the insulating film may be LOCOS oxide films.

(Effects of the invention)

As mentioned above, according to the present invention, while avoiding the capacitor inferiority and the dielectric

withstand voltage inferiority, a semiconductor device having a high-precision capacitor can be provided.

#### 4. Brief description of the figures

Figure 1 is a cross section showing the semiconductor device of an application example. Figure 2 is a cross section for explaining the manufacturing process of the semiconductor device. Figure 3 is a cross section for explaining the manufacturing process of the semiconductor device. Figure 4 is a cross section for explaining the manufacturing process of the semiconductor device. Figure 5 is a cross section for explaining the manufacturing process of the semiconductor device. Figure 6 is a cross section for explaining the manufacturing process of the semiconductor device. Figure 7 is a cross section showing the semiconductor device of another example.

- 1 Bipolar transistor
- 2 Capacitor
- 3 Thin-film high resistor
- 4 Thin film low resistor
- 10 Silicon oxide film as an insulating film
- 14 Silicon oxide film as an insulating film
- 18 Contact hole formation region
- 19 Contact hole formation region
- 20 Contact hole formation region
- 21 Contact hole formation region
- 22 Capacitor formation region

- 23 Silicon oxide film
- 24 CrSi thin-film resistor
- 25 TiW film as a barrier metal
- 27 Aluminum wiring layer as a wiring metal

// Insert Figures 1-7 //

- 1 Bipolar transistor
- 2 Capacitor
- 3 Thin-film high resistor
- 4 Thin film low resistor
- 10 Silicon oxide film
- 23 Silicon oxide film
- 24 CrSi thin-film resistor
- 25 TiW film
- 27 Aluminum wiring layer

Figure 4:

- 14 Silicon oxide film
- 18 Contact hole formation region
- 19 Contact hole formation region
- 20 Contact hole formation region
- 21 Contact hole formation region
- 22 Capacitor formation region

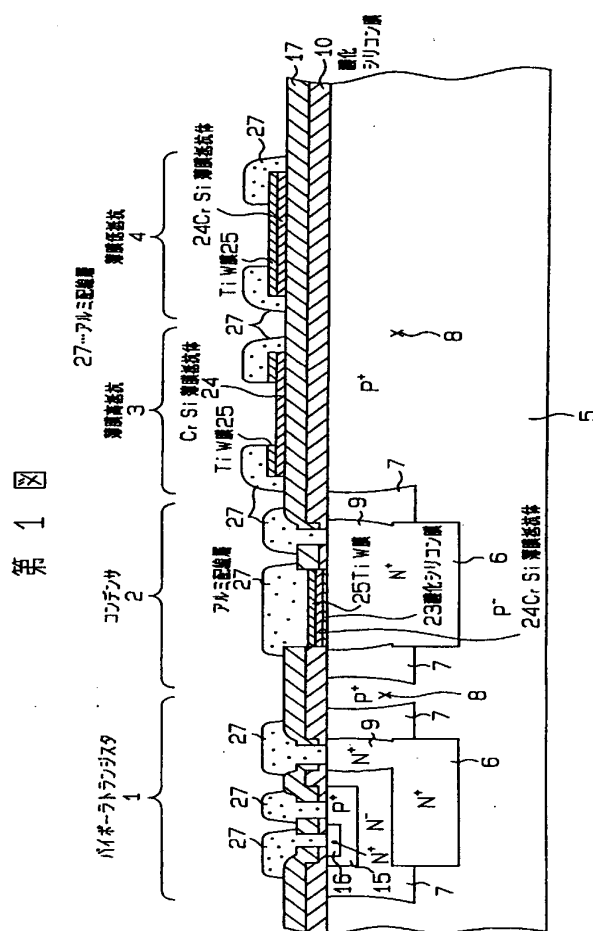
Figure 5:

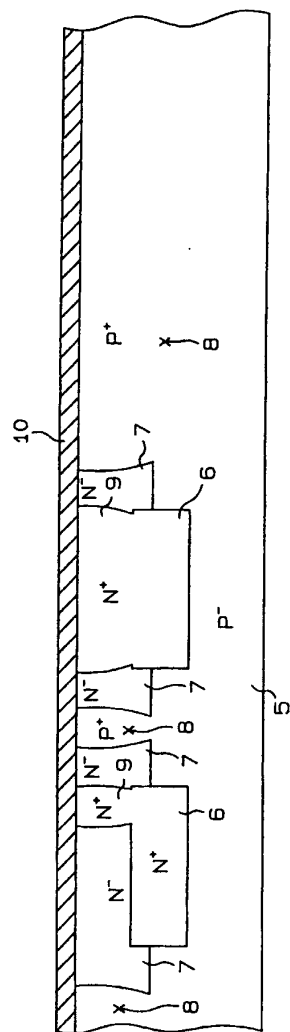
- 10 Silicon oxide film
- 23 Silicon oxide film




# 24 CrSi thin-film resistor

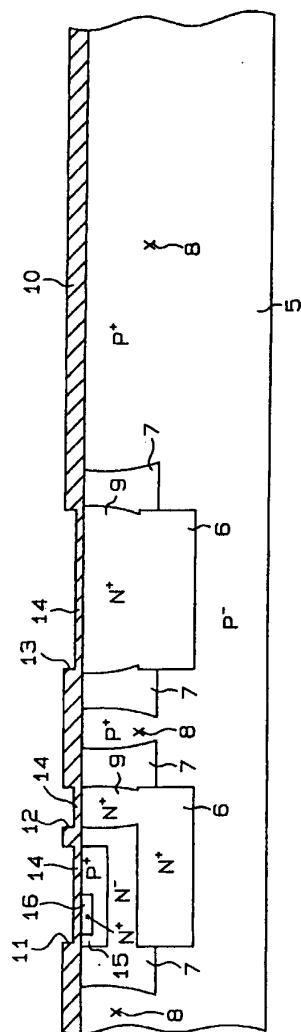
Figure 7:

1. Bipolar transistor
2. Thin-film resistor
3. Capacitor

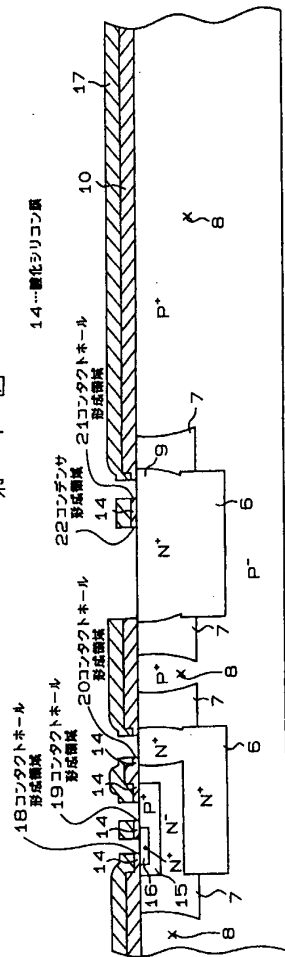






第 4 図



第 5 図

